

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-089561
 (43)Date of publication of application : 15.04.1991

(51)Int.CI. H01L 31/10
 H01L 21/331
 H01L 27/06
 H01L 29/73

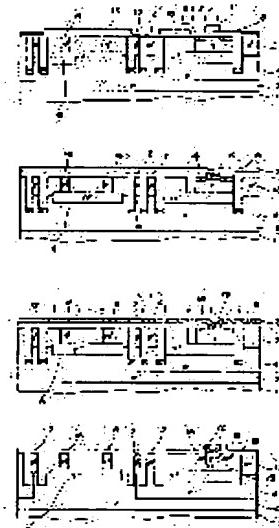
(21)Application number : 01-226305 (71)Applicant : HAMAMATSU PHOTONICS KK
 (22)Date of filing : 31.08.1989 (72)Inventor : KYOMASU MIKIO
 SAWARA MASAAKI
 OKAJIMA KENICHI
 NAKAMURA HIROYASU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To reduce a parasitic capacitance based on wirings by composing an npn bipolar transistor of a p-type base layer and an n-type emitter layer formed by doping an n-type epitaxial layer with impurity near a predetermined region and an n-type collector by an n-type epitaxial layer itself.

CONSTITUTION: After an opening of an SiN film is oxidized, a mask 17 is formed on an emitter region, and boron is ion implanted to form an outer base 18. Further, boron is implanted to form an intrinsic base 19. thereafter, an SiO₂ film 20 is deposited by a CVD, and heated to form a profile. Then, after the film 20 and the SiN film on the surface are removed, polysilicon 21 is deposited, and arsenic is ion implanted. Thereafter, an SiO₂ film is deposited by a CVD, and heated to form an emitter 22. An n-type epitaxial layer remaining at the lower side of the base 19 becomes a collectors 23. The SiO₂ film and an unnecessary polysilicon are dry etched to be removed, and an SiO₂ film is again deposited by a CVD.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Best Available Copy

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

平3-89561

⑫ Int. Cl.
H 01 L 31/10

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月15日

9055-5F H 01 L 31/10
8728-5F 27/06 101 A
審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 半導体装置

⑮ 特願 平1-226305

⑯ 出願 平1(1989)8月31日

⑰ 発明者 京 増 幹 雄 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

⑰ 発明者 佐 原 正 哲 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

⑰ 発明者 岡 島 賢 一 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

⑰ 出願人 浜松ホトニクス株式会社 静岡県浜松市市野町1126番地の1

⑰ 代理人 弁理士 長谷川 芳樹 外3名

最終頁に続く

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

高濃度 p 型半導体基板上に低濃度 p 型エピタキシャル層が形成され、さらにその上に n 型エピタキシャル層が形成されている半導体装置であって、

前記低濃度 p 型エピタキシャル層の所定領域の表層部に n 型埋込層が形成されていることにより、前記高濃度 p 型半導体基板を P 層、前記低濃度エピタキシャル層を I 層および前記 n 型埋込層を N 層とする PIN ホトダイオードが構成されており、

前記所定領域の近傍の前記 n 型エピタキシャル層中への不純物ドープにより形成された p 型ベース層および n 型エミッタ層ならびに n 型エピタキシャル層自身による n 型コレクタ層によって n p n バイポーラトランジスタが構成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、受光素子と電子素子とが同一基板上にモノリシックに形成された半導体装置に関するものである。

【従来の技術】

受光素子として PIN ホトダイオードが用いられ、その信号処理回路用の電子素子として n p n バイポーラトランジスタが用いられている光受信回路が従来から知られている。しかし、その従来回路では、PIN ホトダイオードと n p n バイポーラトランジスタとがそれぞれ別々のチップに形成されていて、ハイブリッド IC 基板上にて相互に配線接続されていたにすぎない。

【発明が解決しようとする課題】

しかし、従来のハイブリッド IC による構成では、配線による寄生容量が大きいとか、組み込み工程を自動化しにくい等の問題があり、モノリシック化が望まれていた。

本発明の課題は、このような問題点を解消する

ことにある。

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置は、高濃度 p 型半導体基板上に低濃度 p 型エピタキシャル層が形成され、さらにその上に n 型エピタキシャル層が形成されている半導体装置であって、低濃度 p 型エピタキシャル層の所定領域の表層部に n 型埋込層が形成されていることにより、高濃度 p 型半導体基板を P 層、低濃度エピタキシャル層を I 層および n 型埋込層を N 層とする PIN ホトダイオードが構成されており、PIN ホトダイオード領域の近傍の n 型エピタキシャル層中の不純物ドープにより形成された p 型ベース層および n 型エミッタ層ならびに n 型エピタキシャル層自身による n 型コレクタ層によって npn バイポーラトランジスタが構成されているものである。

【作用】

高濃度 p 型半導体基板の上を低濃度 p 型エピタキシャル層および n 型エピタキシャル層による 2

度は $10^{15} \sim 10^{16}/\text{cm}^3$ 程度である（第 2 図 (B) 参照）。p ウェル埋込層 4 の位置で示されるように、同図におけるほぼ右半分が npn トランジスタ形成領域であり、左半分が PIN ホトダイオード形成領域である。ついで再び、フォトリソグラフィ技術などを用いて表面の SiO₂ 膜 3 を加工し、加工後の SiO₂ 膜をマスクとしてアンチモン (Sb) を熱拡散する。これによって、npn トランジスタ用の n 型埋込層 5 および PIN ホトダイオード用の n 型埋込層 6 が形成される。n 型埋込層 5、6 の不純物濃度は $10^{19} \sim 10^{20}/\text{cm}^3$ 程度である（第 2 図 (C) 参照）。第 3 図は上述した埋込層 4～6 のプロファイルを示しており、曲線 A がアンチモンのプロファイルであり、曲線 B がボロンのプロファイルである。その後、表面の SiO₂ 膜 3 を除去し、2 μm ± 0.2 μm の厚さの n 型エピタキシャル層 7 を形成する。その不純物濃度は $10^{15} \sim 10^{18}/\text{cm}^3$ 程度である（第 2 図 (D) 参照）。以上で、埋込拡散とエピタキシャル成長工程が終わる。

層構造のエピタキシャル層とすることにより、PIN ホトダイオードおよび npn バイポーラトランジスタが同一基板上に共存できる。

【実施例】

第 1 図は本発明の半導体装置の一実施例を示す部分断面斜視図であり、第 2 図はその製造過程を示す工程断面図である。

初めに第 2 図を参照しながらその製造方法を説明する。不純物濃度が $10^{20} \sim 10^{21}/\text{cm}^3$ 程度の高濃度 p 型半導体基板 1 上に不純物濃度が $10^{12} \sim 10^{14}/\text{cm}^3$ 程度の低濃度 p 型エピタキシャル層 2 を 30～50 μm の厚さで形成する。なお、図示が省略されているが半導体基板 1 の裏面にはオートドープ阻止のための SiO₂ 膜が形成されている（第 2 図 (A) 参照）。つぎに、表面に SiO₂ 膜 3 を形成し、フォトリソグラフィ技術によってその SiO₂ 膜 3 を加工する。その SiO₂ 膜 3 をマスクとして上方からボロンをイオン注入し、npn トランジスタのための p ウェル埋込層 4 を形成する。この埋込層 4 の不純物濃

引き続いて、分離プロセスについて説明する。

n 型エピタキシャル層 7 の表面全体に、SiO₂ 膜 8 および SiN 膜 9 を形成する。そして、その上にレジスト 10 を塗布し、フォトリソグラフィ技術を用いて所望領域の SiO₂ 膜 8 および SiN 膜 9 をエッチングで除去する。その後、SiO₂ 膜 8 および SiN 膜 9 をマスクとして、n 型エピタキシャル層 7 を表面から 0.1 μm の深さまでウエットエッチングし、さらに 0.7 μm の深さまで異方性ドライエッチングして、浅い溝を形成する（第 2 図 (E) 参照）。ここで、所望領域とは、npn トランジスタの分離領域、npn トランジスタ内部に将来設ける p 型ベース層とコレクタウォールとの分離領域、PIN フォトダイオードの受光領域等である。

つぎに、レジスト 11 を塗布し、フォトリソグラフィ技術により分離領域に設けられた溝の上方のみを除去する。そして、レジスト 11 をマスクとして 3.0 μm の異方性ドライエッチングを行い、浅い溝のうち分離領域にある溝を深くする。

その後、レジスト1・1を残したままボロンのイオン注入を行い、深い溝のそれぞれの底部に p^+ のストップ層を形成する（第2図（F）参照）。つぎに、レジスト1・0、1・1を除去した後、再びレジストを塗布しフォトリソグラフィ技術を利用してボロンをイオン注入し、 p^+ タブ1・2を形成する。 p^+ タブ1・2は、PINホトダイオード領域およびn-p-nトランジスタ領域をそれぞれ取り囲むように形成される。ついで、レジストを除去し、各溝の内面に SiO_2 膜およびSiN膜を形成する。そして、SiNの異方性エッチングにより各溝の側壁のSiN膜を残したまま底部のSiN膜を除去する（第2図（G）参照）。続いて、6気圧、1050°Cで雰囲気で熱酸化を行う。これにより、SiN膜で覆われていない部分が酸化される。この酸化によって得られる酸化膜の厚さは1.5μm程度であり、深い溝をほぼ埋め尽くしてしまう。その後、ポリシリコン1・3を表面全体に堆積することにより、深い溝も穴埋めしてしまう。そして、ポリシリコン1・3の表面に SiO_2 膜およ

ボロンをイオン注入して外部ベース1・8を形成する（第2図（K）参照）。さらに、フォトリソグラフィ技術でボロシをイオン注入して真性ベース1・9を形成する。その後、 SiO_2 膜2・0を化学的気相成長法（CVD）で堆積し、加熱してプロファイルを形成する（第2図（L）参照）。

つぎに、表面の SiO_2 膜2・0およびSiN膜をドライエッチングで除去した後、ポリシリコン2・1を堆積する。そして、ひ素をイオン注入する（第2図（M）参照）。その後、 SiO_2 膜をCVDで堆積し、加熱してエミッタ2・2を形成する。なお、ベース1・9の下側に残されてるn型エピタキシャル層がコレクタ2・3となる。そして、 SiO_2 膜および不要なポリシリコンをドライエッチングして除去し、再び SiO_2 膜をCVDで堆積する（第2図（N）参照）。

第1図に示す半導体装置は、以上の工程を経た後、必要な電極を形成したものであり、同一基板上にPINホトダイオード3・1とn-p-nトランジスタ3・2とがモノリシックに形成されている。P

びSiN膜を形成し、ドライエッティングにより深い溝の上部のみに残るようにパターニングする（第2図（H）参照）。つぎに、ポリシリコン1・3をエッチングする。これによって、深い溝の内部にのみポリシリコン1・3が残る。そして、表面に残されたSiN膜をドライエッティングにより除去した後、酸化を行って表面を平坦化する（第2図（I）参照）。

つぎに、表面に SiO_2 膜2・6およびSiN膜2・7を形成する。これらの膜の所望の領域をフォトリソグラフィ技術を利用してパターニングする。残された SiO_2 膜2・6およびSiN膜2・7をマスクとして焼を拡散することにより、n-p-nトランジスタのコレクタウォールとなる n^+ 層1・5およびPINホトダイオードの電極引き出し層となる n^+ 層1・6を形成する（第2図（J）参照）。なお、第2図（J）から（M）では、深い溝の中のポリシリコンおよびSiN膜の表示は簡単のため省略している。続いて、SiN膜の開口部を酸化した後、エミッタ領域にマスク1・7を形成し、

INホトダイオード3・1は、高濃度p型半導体基板1をP層、低濃度p型エピタキシャル層2をI層、n型埋込層6をN層とする基板PINホトダイオードである。n型埋込層6には電極取出層1・6を介してカソード電極3・3が設けられており、基板1の裏面には図示省略したアノード電極が設けられている。電極間に逆バイアスが印加された状態で光が入射すると、低濃度p型エピタキシャル層2の空乏領域でキャリアが発生し、このキャリアが空乏領域の電界によって移動して光電流となる。また、 p^+ タブ層上の電極3・4は、裏面の電極と共にPINホトダイオードのアノード電極として機能するものである。この電極3・4がアノード電極として付加されることにより、アノード電極を裏面電極のみとしたときよりも寄生抵抗を低減することができる。

n-p-nトランジスタ3・2には、図示のように、エミッタ電極3・5、ベース電極3・6、コレクタ電極3・7が設けられている。p型埋込層4は周囲の素子との間のパンチスルーや防止するために設け

られている。また、分離溝の底部の周囲にはストップバ屑29が設けられ、パンチスルーを一層効果的に防止している。

(発明の効果)

以上説明したように、本発明の半導体装置によれば、PINホトダイオードおよびn-p-nバイポーラトランジスタが同一基板上にモノリシックに形成されているので、配線に基づく寄生容量を小さくできる等の効果を有する。したがって、光通信用受信回路等に用いた場合、従来回路に比較して一層高速に動作させることが可能となる。また、ハイブリッドICのような組み込み工程が不要である。

ビタキシャル層、4…p型埋込層、5、6…n型埋込層、7…n型エビタキシャル層、12…p⁺タブ、18…外部ベース、19…真性ベース、22…エミッタ、23…コレクタ、31…PINホトダイオード、32…n p nトランジスタ。

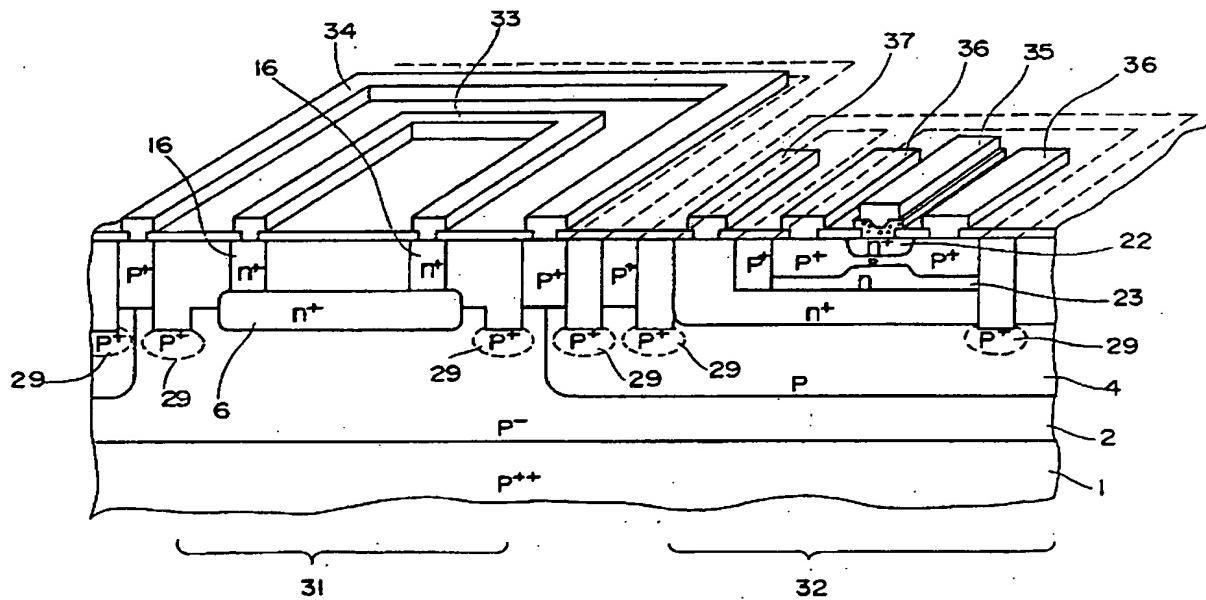
代理人弁理士
同

長谷川芳樹也

4. 図面の簡単な説明

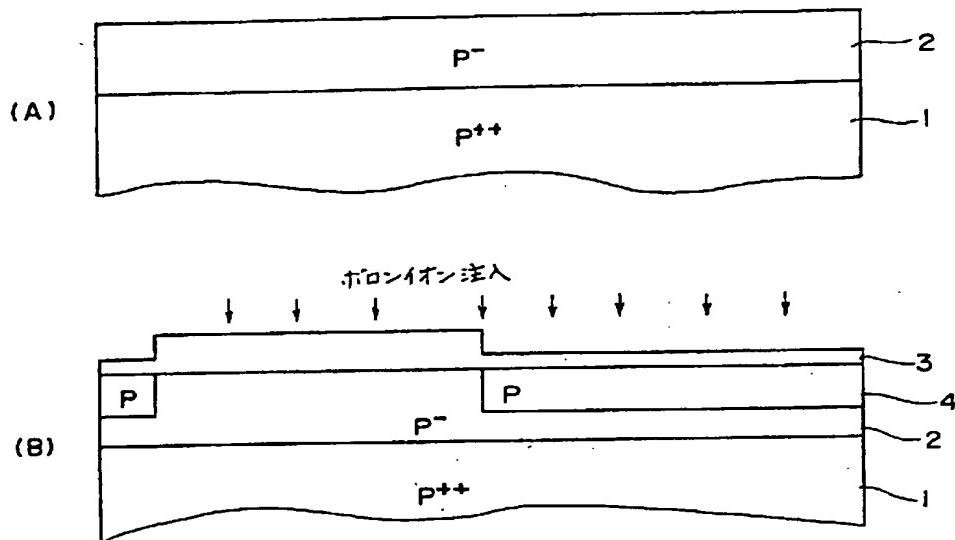
第1図は本発明の一実施例である半導体装置の部分断面斜視図、第2図はその製造方法を示す工程断面図、第3図は埋込層のプロファイルを示すグラフである。

1 … 高濃度 p 型半導體基板、 2 … 低濃度 p 型工



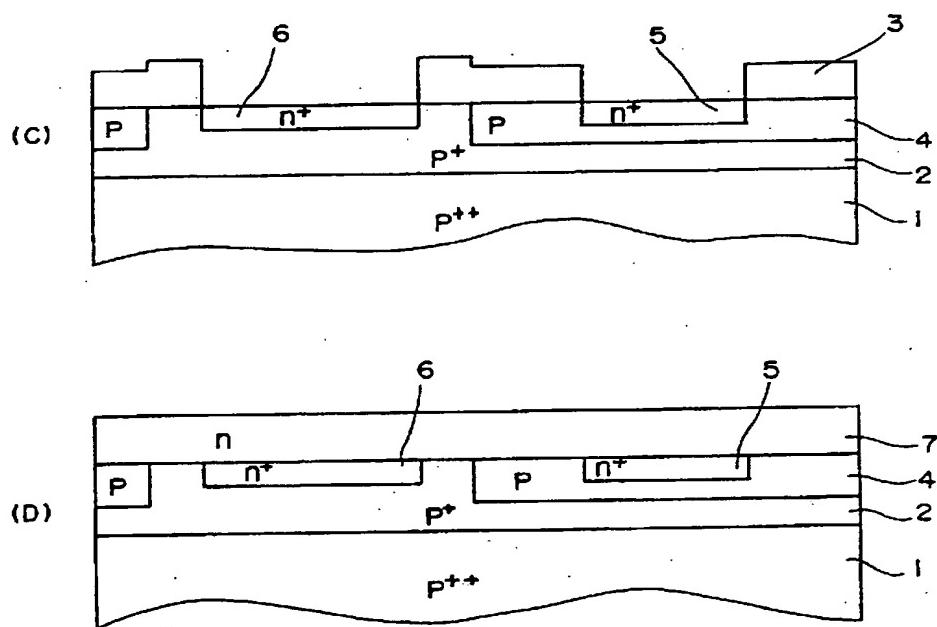
宋元例

第 1 図



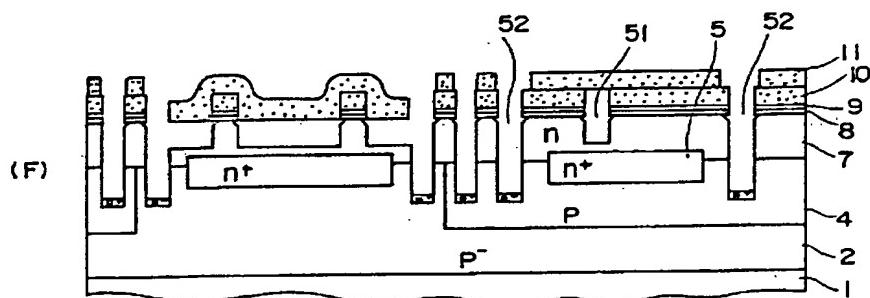
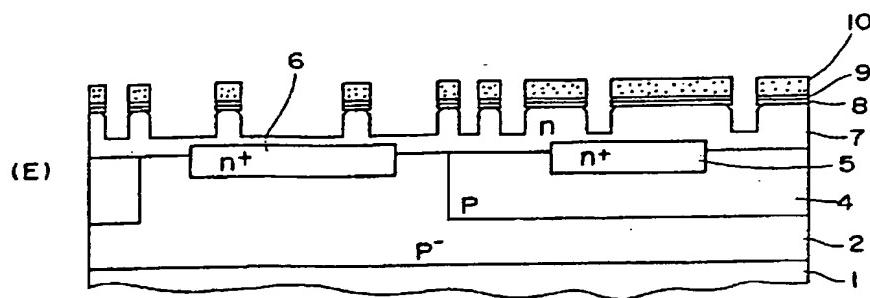
実施例の製造方法(1)

第 2 図 (1/7)



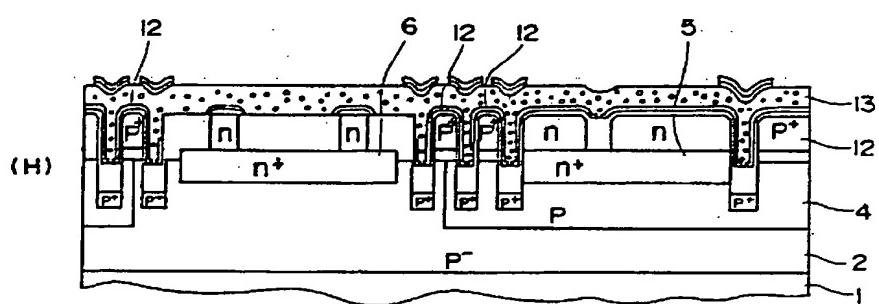
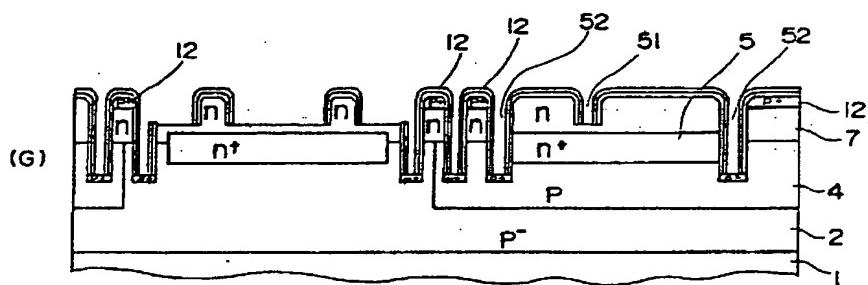
実施例の製造方法(2)

第 2 図 (2/7)



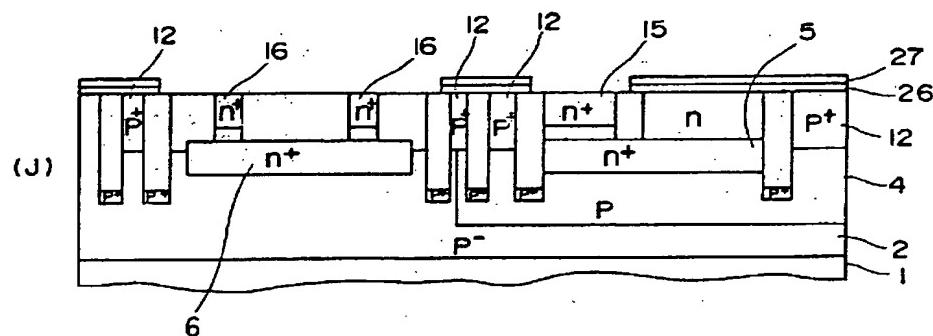
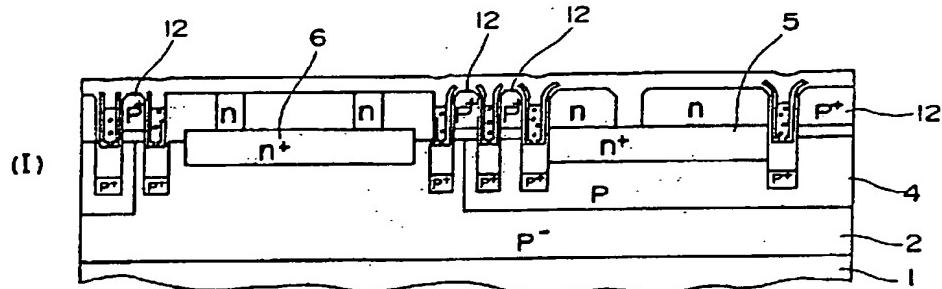
実施例の製造方法 (3)

第 2 図 (3/7)



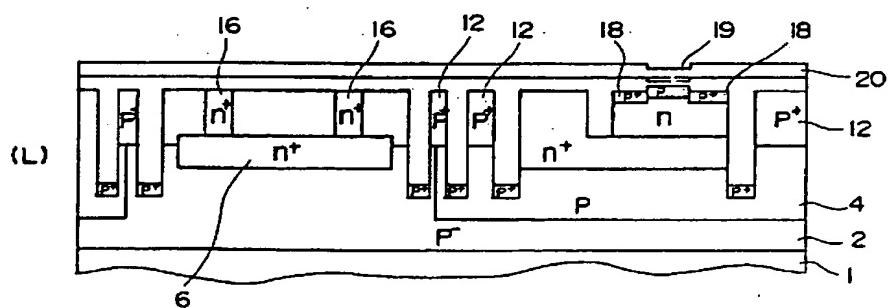
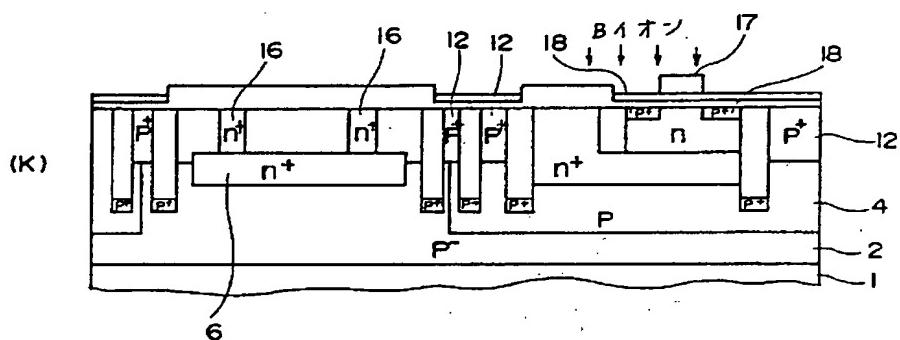
実施例の製造方法 (4)

第 2 図 (4/7)



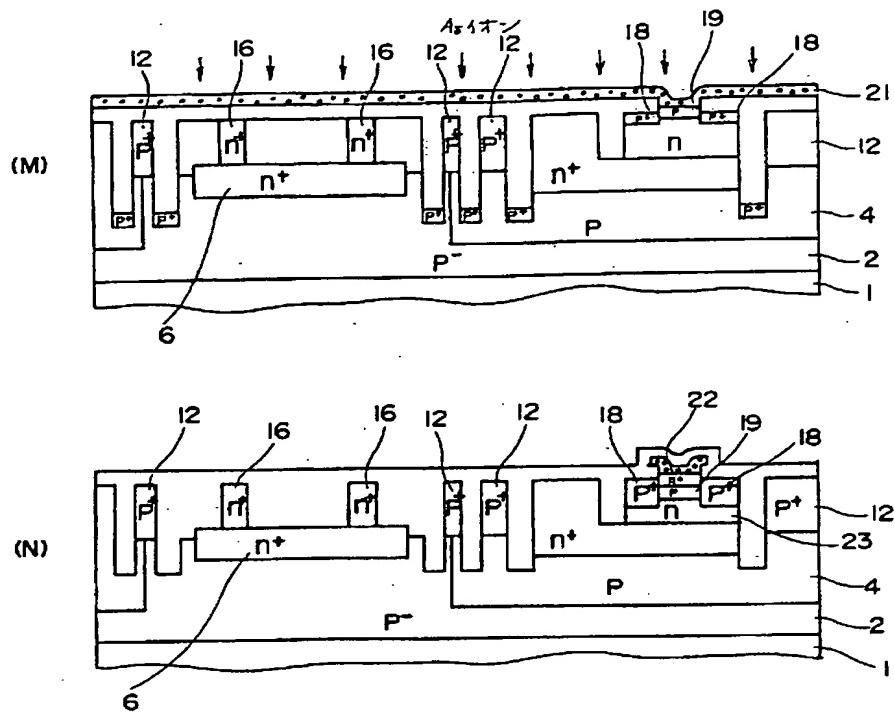
実施例の製造方法(5)

第 2 図 (5/7)



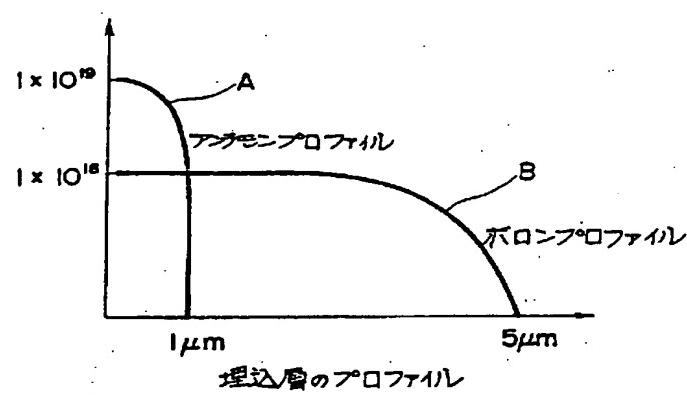
実施例の製造方法(6)

第 2 図 (6/7)



実施例の製造方法(7)

第 2 図 (7/7)



第 3 図

第1頁の続き

⑤Int.Cl.⁵

H 01 L 21/331
27/06
29/73

識別記号

庁内整理番号

8225-5F H 01 L 29/72

⑦発明者 中村 浩康 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.